



Generate Collection

L4: Entry 1 of 1

File: JPAB

Feb 14, 1997

PUB-NO: JP409045091A

DOCUMENT-IDENTIFIER: JP 09045091 A

TITLE: REWRITING METHOD OF DATA OF NONVOLATILE MEMORY

PUBN-DATE: February 14, 1997

## INVENTOR-INFORMATION:

NAME

COUNTRY

MATSUDA, YOSHIO

## ASSIGNEE-INFORMATION:

NAME

COUNTRY

KK OKI MICRO DESIGN MIYAZAKI

OKI ELECTRIC IND CO LTD

APPL-NO: JP07188996

APPL-DATE: July 25, 1995

INT-CL (IPC): G11 C 16/06

## ABSTRACT:

PROBLEM TO BE SOLVED: To enable execution of rewrite in bytes without erasure of existing data, by executing rewrite of a nonvolatile memory after input data are written in bytes.

SOLUTION: Input data to be written in flash EEPROM 2 are transferred to RAM 1 and written S11 therein. The data, including existing data, in a page wherein an address for write-in of the input data is positioned are read out in the RAM 1 through a sense amplifier 13, transferred to RAM 3 and written S12. The input data written in the RAM 1 are transferred to the RAM 3 and written S13 in an area corresponding to the address for the input, in the RAM 3. The data held in the RAM 3 after the write of the input data is ended are transferred to a latch circuit 11 of the flash EEPROM 2 and written S14 in the original page in a memory cell part 12 in this EEPROM 2. By this constitution, the input data can be rewritten without erasing the existing data.

COPYRIGHT: (C)1997,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-45091

(43) 公開日 平成9年(1997)2月14日

(51) Int.Cl.<sup>6</sup>  
G11C 16/06

識別記号 庁内整理番号

F I  
G11C 17/00

技術表示箇所  
510 F

審査請求 未請求 請求項の数6 OL (全7頁)

(21) 出願番号 特願平7-188996  
(22) 出願日 平成7年(1995)7月25日

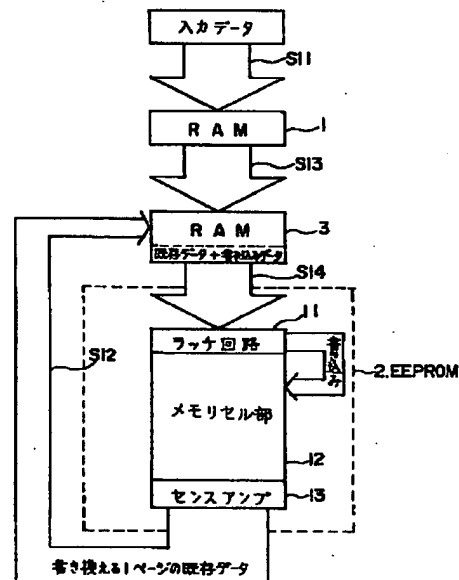
(71) 出願人 591049893  
株式会社神マイクロデザイン宮崎  
宮崎県宮崎市大和町9番2号  
(71) 出願人 000000295  
沖電気工業株式会社  
東京都港区虎ノ門1丁目7番12号  
(72) 発明者 松田 吉生  
宮崎県宮崎市大和町9番2号 株式会社神  
マイクロデザイン宮崎内  
(74) 代理人 弁理士 佐々木 宗治 (外3名)

(54) 【発明の名称】 不揮発性メモリのデータ書き換え方法

(57) 【要約】

【課題】 メモリ容量を有効に利用でき、既存のデータを消去することなく入力データの書き換えが行える不揮発性メモリのデータ書き換え方法を得る。

【解決手段】 バイト単位の入力データを、バイト単位で書き換え可能な第一の記憶手段に一時的に保持しておく工程と、ページ、又はセクタ単位で書き換え可能な不揮発性の第二の記憶手段における、入力データのアドレスを含むページ、又はセクタのデータを読み出して、バイト単位で書き換え可能な第三の記憶手段に一時的に保持しておく工程と、第一の記憶手段に保持された入力データを、第三の記憶手段に保持された上記データのページ、又はセクタの該当する領域に書き込む工程と、第三の記憶手段に保持されたデータを第二の記憶手段の元のページ、又はセクタに書き込む工程とを有する。



第1の実施の形態に係る動作フローを示す図

## 【特許請求の範囲】

【請求項1】 バイト単位の入力データを、バイト単位で書き換え可能な第一の記憶手段に一時的に保持しておく工程と、

ページ、又はセクタ単位で書き換え可能な不揮発性の第二の記憶手段における、前記入力データのアドレスを含むページ、又はセクタのデータを読み出して、バイト単位で書き換え可能な第三の記憶手段に一時的に保持しておく工程と、

前記第一の記憶手段に保持された入力データを、前記第三の記憶手段に保持された上記データのページ、又はセクタの該当する領域に書き込む工程と、

前記第三の記憶手段に保持されたデータを前記第二の記憶手段の元のページ、又はセクタに書き込む工程とを有することを特徴とする不揮発性メモリのデータ書き換え方法。

【請求項2】 バイト単位の入力データを、バイト単位で書き換え可能な第一の記憶手段に一時的に保持しておく工程と、

ページ、又はセクタ単位で書き換え可能な不揮発性の第二の記憶手段における、前記入力データのアドレスを含むページ、又はセクタのデータを読み出して、不揮発性の第三の記憶手段に一時的に保持しておく工程と、

前記第三の記憶手段に保持された前記ページ、又はセクタのデータを読み出して、バイト単位で書き換え可能な第四の記憶手段に一時的に保持しておく工程と、

前記第一の記憶手段に保持された入力データを、前記第四の記憶手段に保持された上記データのページ、又はセクタの該当する領域に書き込む工程と、

前記第四の記憶手段に保持されたデータを前記第二の記憶手段の元のページ、又はセクタに書き込む工程とを有することを特徴とする不揮発性メモリのデータ書き換え方法。

【請求項3】 前記第二の記憶手段として、データを一時的に保持し、前記データの入力終了すると、入力データを送出するラッチ回路と、前記ラッチ回路から送出された前記データを受取り、前記データを保持するメモリセルを有するEEPROMを使用することを特徴とする請求項1又は2記載の不揮発性メモリのデータ書き換え方法。

【請求項4】 前記第三の記憶手段として、RAMを使用することを特徴とする請求項1又は3記載の不揮発性メモリのデータ書き換え方法。

【請求項5】 前記第三の記憶手段として、前記EEPROMに含まれるラッチ回路を使用することを特徴とする請求項3記載の不揮発性メモリのデータ書き換え方法。

【請求項6】 前記第三の記憶手段として、EEPROMを使用することを特徴とする請求項2又は3記載の不揮発性メモリのデータ書き換え方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は例えばページ、又はセクタ単位で書き換えをする不揮発性メモリ、特にその書き換え方法に関するものである。

## 【0002】

【従来の技術】本発明では不揮発性メモリとしてEEPROMを取り上げることとする。従来のEEPROMはバイト単位で消去、書き込みを繰り返す、バイト単位の書き換えを可能にしていたが（以下、バイト書き換え型EEPROMとする）、EEPROMのメモリの大容量化、メモリサイズの縮小化、書き換え時間の高速化に伴い、ページ又はセクタ単位での一括の書き換えを行うEEPROMが使用されるようになった（以下、フラッシュ書き換え型EEPROMとする）。しかし、フラッシュ書き換え型EEPROMのデータ書き換え方法もバイト書き換え型EEPROMと同じように、入力データを一時的にRAMに書き込み、その入力データをRAMからEEPROMに転送し、書き込むだけであった。

## 【0003】

【発明が解決しようとする課題】上記のような従来のフラッシュ書き換え型EEPROMの書き換え方法では、ページ単位、又はセクタ単位によるデータの書き換えであるから、汎用のマイクロコンピュータ等で使用するには、使用するデータ量がEEPROMの1ページ、又は1セクタのメモリ容量に対して少なすぎる。このようなデータをそのままフラッシュ書き換え型EEPROMに格納しようとする、その少ないデータを格納するために、1ページ又は1セクタのメモリ容量を確保しなくてはならないことになり、容量の無駄が多くなるという問題点があった。

【0004】また、少ないデータ量に対しても、そのデータを格納するために1ページ、又は1セクタ分のメモリ容量を使用することは、書き換えをする場合には、そのページ、又はセクタに書き込まれている既存データを消去しなくてはならないという問題点があった。

【0005】そこで、不揮発性メモリの書き換え方法において、メモリ容量を有効に利用でき、且つ既存のデータを消去することなく入力データの書き換えが行うことが望まれていた。

## 【0006】

【課題を解決するための手段】本発明に係る不揮発性メモリのデータ書き換え方法は、バイト単位の入力データを、バイト単位で書き換え可能な第一の記憶手段に一時的に保持しておく工程と、ページ又はセクタ単位で書き換え可能な不揮発性の第二の記憶手段における、前記入力データのアドレスを含むページ、又はセクタのデータを読み出して、バイト単位で書き換え可能な第三の記憶手段に一時的に保持しておく工程と、第一の記憶手段に保持された入力データを、第三の記憶手段に保持された

3

上記データのページ、又はセクタの該当する領域に書き込む工程と、第三の記憶手段に保持されたデータを第二の記憶手段の元のページ、又はセクタに書き込む工程とを有する。

【0007】そして、バイト単位のデータを入力する際に、入力されたデータを第一の記憶手段に一時的に保持し、第二の記憶手段において、入力データのアドレスを含むページ又はセクタのデータを、バイト単位で書き換え可能な第三の記憶手段に読み出して、データの該当領域に入力データをバイト単位で書き込んだ後で、そのページ分又はセクタ分のデータを第二の記憶手段の元のページ、又はセクタに書き換えるので、結果的にページ、又はセクタ単位の制御の第二の記憶手段でも、バイト単位で入力データの書き込みを行うことになる。

【0008】また、本発明に係る不揮発性メモリのデータ書き換え方法は、バイト単位の入力データを、バイト単位で書き換え可能な第一の記憶手段に一時的に保持しておく工程と、ページ、又はセクタ単位で書き換え可能な不揮発性の第二の記憶手段における、入力データのアドレスを含むページ、又はセクタのデータを読み出して、不揮発性の第三の記憶手段に一時的に保持しておく工程と、第三の記憶手段に保持されたページ、又はセクタのデータを読み出して、バイト単位で書き換え可能な第四の記憶手段に一時的に保持しておく工程と、第一の記憶手段に保持された入力データを、第四の記憶手段に保持された上記データのページ、又はセクタの該当する領域に書き込む工程と、第四の記憶手段に保持されたデータを第二の記憶手段の元のページ、又はセクタに書き込む工程とを有する。

【0009】そして、バイト単位のデータを入力する際に、入力されたデータを第一の記憶手段に一時的に保持し、第二の記憶手段において、入力データのアドレスを含むページ又はセクタのデータを、不揮発性の第三の記憶手段に読み出して保持しておき、そのデータを読み出して、バイト単位で書き換え可能な第四の記憶手段に読み出して、データの該当領域に入力データをバイト単位で書き込んだ後で、そのページ分又はセクタ分のデータを第二の記憶手段の元のページ、又はセクタに書き換えるので、第三の記憶手段において既存データのバックアップを取ることができ、結果的にページ、又はセクタ単位の制御の第二の記憶手段でも、バイト単位で入力データの書き込みを行うことになる。

【0010】

【発明の実施の形態】

実施形態1。図1は本発明の第一の実施の形態に係る不揮発性メモリのデータ書き換え方法における動作フローを示す図である。1、3はRAMであり、バイト単位の書き換えはできるが、揮発性なので電源をOFFすると書き込まれているデータは消去されてしまう。2はフラッシュ書き換え型EEPROMであり、電氣的にデータ

4

の消去、書き込みの可能なROMであり、不揮発性なので電源をOFFしても書き込まれた内容は消去されずに保存される。大容量、小型であるが、ページ又はセクタ単位での制御しか行えない。

【0011】フラッシュ書き換え型EEPROMはラッチ回路11、メモリセル部12、センスアンプ13から構成されている。ラッチ回路11は、データの書き換えを高速にするために、入力データを一時保持しておき、ページ単位でメモリセル部12に送出する。

【0012】メモリセル部12は、図4のようにメモリセル21、コントロールライン22、及びローライン23から構成されている。メモリセル21は実際に入力データを保持する。コントロールライン22は、メモリセルのデータを書き換える際に電圧をかけるコントロールゲートが並んだものである。ローライン23は、例えばデータを書き換えたい場合に書き換えるメモリセル21を特定するために使用するものである。図5はバイト書き換え型EEPROMのメモリセル部である。メモリセル21a、コントロールライン22a、及びローライン23a、選択素子24から構成されている。メモリセル21a、コントロールライン22a、及びローライン23aは、それぞれメモリセル21、コントロールライン22、及びローライン23と同様の役割を果たす。バイト書き換え型EEPROMのメモリセル部はフラッシュ書き換え型EEPROMのメモリセル部とは違い、消去を行うバイトを選択するための選択素子24が備えられているから、バイト単位での消去が可能となる。しかし、高耐圧のトランジスタを必要とし、またその分だけメモリサイズが大きくなる。バイト書き換え型EEPROMもフラッシュ書き換え型EEPROMも、データの消去作業は全てのビットを1にすることによって行われ、データの書き込みは、必要なビットだけを0にすることによって行われる。

【0013】センスアンプ13は、メモリセル部が保持しているデータを読み出す際に、各メモリセルに保持されたデータが0であったか、それとも1であったかを判断してデータを送出するところである。

【0014】第一の実施の形態の動作を説明する。また、本発明の実施例におけるフラッシュ書き換え型EEPROMの制御は、ページ単位で行われるとする。フラッシュ書き換え型EEPROM2に書き込みを行う入力データをRAM1へ転送し、書き込みを行い(S11)、既存データを含めた、入力データの書き込みを行うアドレスの位置するページのデータをセンスアンプ13を通して読み出し、RAM3へ転送し、書き込む(S12)。RAM1に書き込まれた入力データをRAM3へ転送し、RAM3において、入力するアドレスに対応する領域へ入力データを書き込む(S13)。RAM3内に保持されている、入力データの書き込みを終えたデータを、フラッシュ書き換え型EEPROM2のラッチ

回路11に転送し、フラッシュ書き換え型EEPROM 2内のメモリセル部12の元のページに書き込む(S14)。

【0015】上記のように構成された不揮発性メモリのデータ書き換え方法においては、RAM3がバイト単位での書き換えが可能であるために、入力データの書き込みを行うアドレスの位置するページのデータをRAM3に読み出し、ここで入力データをバイト単位で書き込んでからEEPROMの書き換えをするから、結果として既存データを消去することがなく、バイト単位での書き換えを行うことができる。

【0016】また、特別な装置を必要とせず、例えばコントロールROM領域(C-ROM)のプログラムの制御を変更するだけでデータの書き換えが行え、追加ロジックの必要がない。

【0017】実施形態2。図2は本発明の第二の実施の形態に係る不揮発性メモリのデータ書き換え方法の動作フローを示す図であり、1、2、11、12、13は上記実施例と同一である。

【0018】第二実施例の動作を説明する。フラッシュ書き換え型EEPROM2に書き込みを行う入力データをRAM1へ転送し、書き込みを行い(S21)、既存データを含めた、入力データの書き込みを行うアドレスの位置するページのデータをセンスアンプ13を通して読み出し、ラッチ回路11へ転送し、書き込む(S22)。RAM1に書き込まれた入力データをラッチ回路11へ転送し、ラッチ回路11において、入力するアドレスに対応する領域へ入力データを書き込む(S23)。ラッチ回路11内に保持されている、入力データの書き込みを終えた既存データを含んだ1ページ分のデータを、フラッシュ書き換え型EEPROM2内のメモリセル部12の元のページに書き込む(S24)。

【0019】上記のように構成された不揮発性メモリのデータ書き換え方法においては、EEPROM2内のラッチ回路11がバイト単位での書き換えが可能であるために、入力データの書き込みを行うアドレスの位置するページのデータをラッチ回路11に読み出し、ここで入力データをバイト単位で書き込んでからEEPROMの書き換えをするから、結果として既存データを消去することがなく、バイト単位での書き換えを行うことができる。

【0020】また、既存のフラッシュ書き換え型EEPROM2のラッチ回路を使用するので、特別な装置を必要とせず、例えばコントロールROM領域(C-ROM)のプログラムの制御を変更するだけでデータの書き換えが行え、追加ロジックの必要がなく、使用するRAMの容量を減らすことができる。

【0021】実施形態3。図3は本発明の第三の実施の形態に係る不揮発性メモリのデータ書き換え方法の動作フローを示す図であり、1、2、11、12、13は上

記のものと同一である。4は2と同様のフラッシュ書き換え型EEPROMである。また、フラッシュ書き換え型EEPROM4のラッチ回路は11a、メモリセル部は12a、センスアンプは13aである。

【0022】第三の実施の形態の動作を説明する。外部から入力され、フラッシュ書き換え型EEPROM2に書き込みを行う入力データをRAM1へ転送し、書き込みを行い(S31)、入力データの書き込みを行うアドレスの位置するページのデータをセンスアンプ13をとおして読み出し、フラッシュ書き換え型EEPROM4のラッチ回路11aに転送し、メモリセル部12aに書き込む(S32)。フラッシュ書き換え型EEPROM4に書き込まれたフラッシュ書き換え型EEPROM2のデータを、センスアンプ13aをとおして読み出し、フラッシュ書き換え型EEPROM2のラッチ回路11に転送し、書き込む(S33)。RAM1に書き込まれた入力データをフラッシュ書き換え型EEPROM2のラッチ回路11へ転送し、ラッチ回路11において、入力データを対応する領域に書き込む(S34)。入力データの書き込みを終えた既存データを含んだ1ページ分のデータを、フラッシュ書き換え型EEPROM2内のメモリセル部12の元のページに書き込む(S35)。

【0023】上記のように構成された不揮発性メモリのデータ書き換え方法においては、既存データを含む1ページ分のデータを保持するのに不揮発性のEEPROM4を使用することで、入力データの書き込みを終えた1ページ分のデータを、フラッシュ書き換え型EEPROM2内の元のページに書き込みを行っている最中に、電源がOFFとなり、フラッシュ書き換え型EEPROM2内に既存データが残っていなかったとしても、既存データはEEPROM4に保持されているから、既存データが消去してしまうということとはなくなる。

【0024】また、特別な装置を必要とせず、例えばコントロールROM領域(C-ROM)のプログラムの制御を変更するだけでデータの書き換えが行え、追加ロジックの必要がない。

【0025】実施形態4。なお、第一の実施の形態においては、RAMを2つ使用することを例示したが、本発明ではそれに限定されるものではなく、同一のRAMの別領域を使用してもよい。また、第三の実施の形態も同様であり、フラッシュ書き換え型EEPROMを2つ使用することを例示したが、本発明ではそれに限定されるものではなく、同一のEEPROMの別領域を使用してもよい。

【0026】また、上記の説明では本発明をマイクロコンピュータのプログラムによって制御する場合について述べたが、その他制御系のロジックの追加はあるものの、フルロジックの製品にも利用できる。

【0027】また、上記の実施例では、RAM、及びE

EPROMを内蔵し、また制御するワンチップのマイクロコンピュータを想定したが、本発明ではそれに限定されるものではなく、チップ外で構成されたRAM、又はEEPROMを使用し、マイクロコンピュータ等の制御手段が制御するようにしてもよい。

【0028】

【発明の効果】以上のように本発明によれば、ページ又はセクタ単位で制御される不揮発性の第二記憶手段でも、入力データのアドレスを含むページ、又はセクタを、バイト単位で書き換え可能な第三の記憶手段に転送し、そこでバイト単位で入力データを書き込んでから元のページにデータを戻すことによって結果的にバイト単位の書き換えを可能にしたので、少量のデータを扱う汎用のマイクロコンピュータにおいてもメモリを有効に利用でき、新しい入力データを追加するのに既存データを消去する必要がなくなる。

【0029】また、本発明によれば、ページ又はセクタ単位で制御される不揮発性の第二記憶手段でも、入力データのアドレスを含むページ、又はセクタを、一度不揮発性の第三の記憶手段に保持してから、バイト単位で書き換え可能な第四の記憶手段に転送し、そこでバイト単位で入力データを書き込んでから元のページにデータを戻すことによって結果的にバイト単位の書き換えを可能にしたので、少量のデータを扱う汎用のマイクロコンピュータにおいてもメモリを有効に利用でき、新しい入力データを追加するのに既存データを消去する必要がなくなり、書き換え途中で電源がOFFになっても書き換え

前のデータが第三の記憶手段に保持されているために、工程中の停電等の電気の供給ができない場合にも既存のデータを保護することができる。

【図面の簡単な説明】

【図1】本発明の第一の実施の形態に係る不揮発性メモリのデータ書き換え方法における動作フローを示す図である。

【図2】本発明の第二の実施の形態に係る不揮発性メモリのデータ書き換え方法における動作フローを示す図である。

【図3】本発明の第三の実施の形態に係る不揮発性メモリのデータ書き換え方法における動作フローを示す図である。

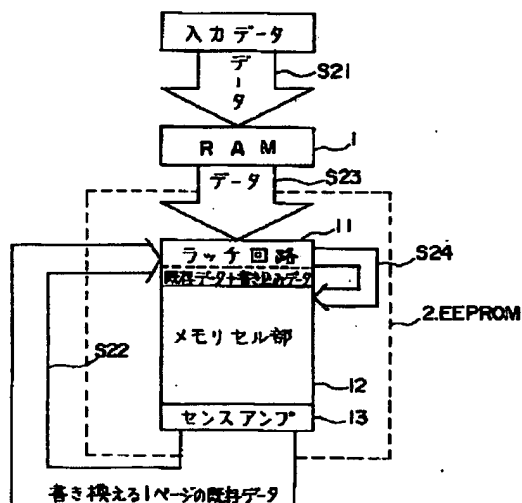
【図4】フラッシュ書き換え型EEPROMのメモリセル部の構成である。

【図5】バイト書き換え型EEPROMのメモリセル部の構成である。

【符号の説明】

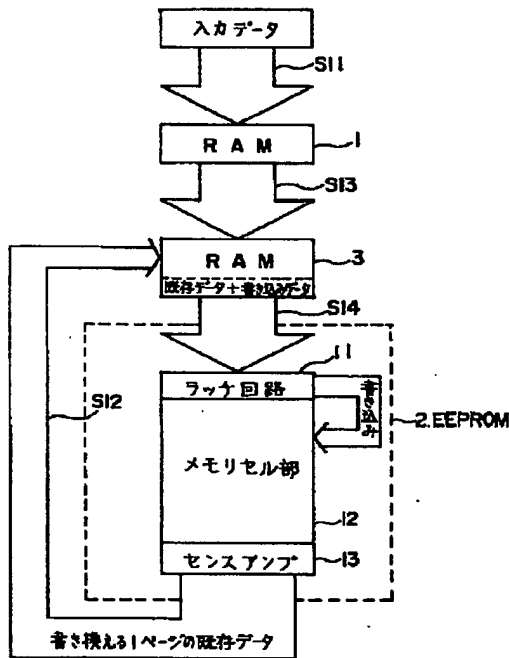
- 1、3 RAM
- 2、4 フラッシュ書き換え型EEPROM
- 11 ラッチ回路
- 12 メモリセル部
- 13 センスアンプ
- 21、21a メモリセル
- 22、22a コントロールライン
- 23、23a ローライン
- 24 選択素子

【図2】



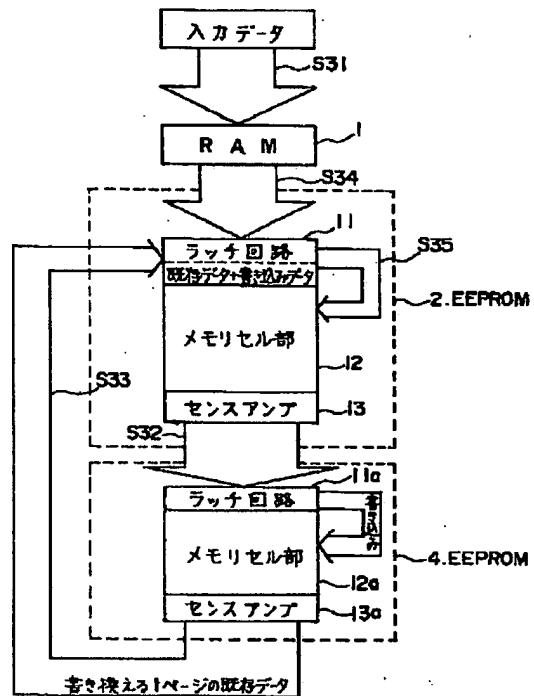
第2の実施の形態に係る動作フローを示す図

【図1】



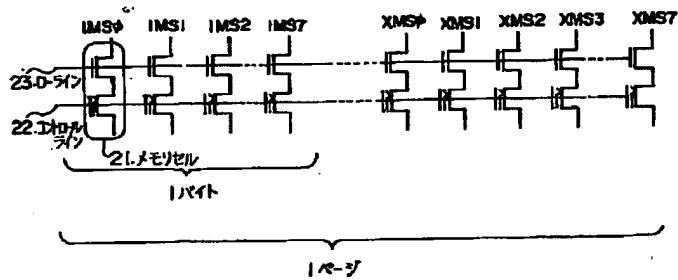
第1の実施の形態に係る動作フローを示す図

【図3】



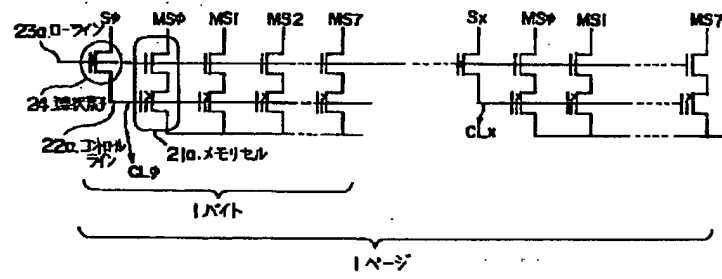
第3の実施の形態に係る動作フローを示す図

【図4】



フラッシュ書き換え型EEPROMのメモリ構成

【図5】



バイト書き換え型EEPROMのメモリセル部の構成